

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-062094

(43)Date of publication of application : 18.03.1991

(51)Int.Cl.

G09G 3/36

H04N 5/66

(21)Application number : 01-198872

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 31.07.1989

(72)Inventor : TAKAHASHI ATSUSHI

CHIBA MIO

TERONAI YUJI

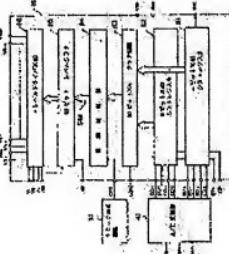
SUGANO HIROMASA

(54) GRADATION DISPLAY DRIVING CIRCUIT OF ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To provide gradation reproducibility and to reduce electric power consumption by providing an analog/digital converting circuit and a pulse width modulating driver.

CONSTITUTION: The A/D converting circuit 40 converts an analog video signal to a digital video signal and applies the digital video signal to the pulse width modulating driver 60. The pulse width modulating driver 60 activates the data signal at the timing coinciding with the activation period of a scanning signal and supplies the data signal via an active element to a liquid crystal cell so that the gradation display of good reproducibility is executed. The pulse width modulating driver 60 acts to lower a driving frequency by executing the data shift in the data output period by the latch function thereof. The driving with the low-driving frequency is possible in this way and the electric power consumption is reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁 (JP) ⑪ 特許出願公開
 ⑫ 公開特許公報 (A) 平3-62094

⑬ Int.Cl. * 識別記号 廷内整理番号 ⑭ 公開 平成3年(1991)3月18日
 G 09 G 3/36 102 B 8621-5C
 H 04 N 5/66 7605-5C

審査請求 未請求 請求項の数 4 (全14頁)

⑮ 発明の名称 アクティブマトリクス型液晶表示装置の階調表示駆動回路
 ⑯ 特 願 平1-198872
 ⑰ 出 願 平1(1989)7月31日
 ⑱ 発明者 高橋 敦 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
 ⑲ 発明者 千葉 已生 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
 ⑳ 発明者 手呂内 雄二 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
 ㉑ 発明者 菅野 裕雅 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
 ㉒ 出願人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
 ㉓ 代理人 弁理士 柿本 勝成

明細書

1. 発明の名称

アクティブマトリクス型液晶表示装置の階調表示駆動回路

2. 特許請求の範囲

1. 走査電極とデータ電極の直交箇所に接続されたアクティブ素子及び液晶セルがマトリクス状に配置された液晶パネルに対して、前記走査電極に走査信号を供給すると共に、前記データ電極に所定パルス幅のデータ信号を供給して、前記液晶パネルの階調表示駆動を行うアクティブマトリクス型液晶表示装置の階調表示駆動回路において、

アナログビデオ信号をディジタルビデオ信号に変換して出力するアナログ/ディジタル変換回路と、

前記ディジタルビデオ信号をシフトしてラッチし、階調制御用クロック信号に基づきパルス幅変調し、前記走査信号の活性化期間と一致した活性化期間を有するパルス幅のデータ信号を生成して前記データ電極へ供給する構成にしたアクティブマトリクス型液晶表示装置の階調表示駆動回路。

とを、

設けたことを特徴とするアクティブマトリクス型液晶表示装置の階調表示駆動回路。

2. 請求項1記載のアクティブマトリクス型液晶表示装置の階調表示駆動回路において、

前記パルス幅変調ドライバは、

前記ディジタルビデオ信号をシフトしてラッチし、階調制御用クロック信号に基づきパルス幅変調し、前記走査信号の非活性化期間と一致した非活性化期間を有するパルス幅のデータ信号を生成して前記データ電極へ供給する構成にしたアクティブマトリクス型液晶表示装置の階調表示駆動回路。

3. 請求項1または2記載のアクティブマトリクス型液晶表示装置の階調表示駆動回路において、

一定周期のクロックパルスにより計数動作して複数の分周パルスを出力するカウンタと、前記カウンタの出力パルスで指定されたアドレスの記憶データを出力するメモリとで、

前記パルス幅変調ドライバに入力する階調制御

用クロック信号を生成するアクティブマトリクス型液晶表示装置の階調表示駆動回路。

4.請求項3記載のアクティブマトリクス型液晶表示装置の階調表示駆動回路において、

前記液晶セルの透過率とビデオ信号とがほぼ比例関係となるように各階調レベル毎の前記階調制御用クロック信号のパルス幅を設定したデータを、予め前記メモリに格納したアクティブマトリクス型液晶表示装置の階調表示駆動回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、液晶を駆動するためのトランジスタ等のアクティブ素子を各画素に配置したアクティブマトリクス型液晶表示装置の階調表示駆動回路に関するものである。

(従来の技術)

従来、このような分野の技術としては、例えばテレビジョン会誌、42[1] (1988) P. 23-29に記載されるものがあった。

一般に、液晶表示装置は、液晶を駆動するため

のトランジスタ等の薄膜素子を各画素に配置するアクティブマトリクス型と、各画素の液晶材料を直接外部から時分割駆動する单纯マトリクス型とに、大別される。また、アクティブマトリクス用の素子としてトランジスタと双方向性ダイオードがあり、その中でも、用いる材料により幾種類かに分類される。

従来のアクティブマトリクス型液晶表示装置において、その階調表示方法には、例えば前記文献に記載されているような電圧変調方式がある。その一例を第2図に示す。

第2図は、従来の3端子のアクティブマトリクス型液晶表示装置を示す基本構成図である。

この液晶表示装置は、液晶パネル10を備え、その液晶パネル10には、表示のデータ信号を出力する水平方向のXドライバ20と、走査信号を出力する垂直方向のYドライバ21が接続されている。液晶パネル10は、Xドライバ20に接続された複数のデータ電極(ソース線ともいう)11-1～11-4…と、Yドライバ21に接続さ

れた複数の走査電極(ゲート線ともいう)12-1～12-4…とを、有している。データ電極11-1～11-4…と走査電極12-1～12-4…との各交差箇所には、スイッチング素子、例えばアモルファスSi薄膜トランジスタ(以下、TFTといふ)13及び液晶セル14がそれぞれ設けられている。TFT13のソースはデータ電極に、ゲートは走査電極に、ドレインは液晶セル14に、それぞれ接続されている。

このような液晶表示装置における従来の階調表示駆動回路は、次のように構成されている。

第3図は、第2図におけるXドライバ20の出力であるデータ信号VS (=VS1, VS2, ...)と、Yドライバ21の出力である走査信号VG (=VG1, VG2, ..., VGn)のタイミングチャートである。走査信号VGは、1水平周期時間のオン信号(活性化信号)が1垂直周期毎に繰り返される信号である。データ信号VSは、ビデオ信号に応じた電圧の信号で、走査信号VGがオンとなるタイミングに合わせてXドライバ20か

ら出力される。このデータ信号VSは、第4図及び第6図の回路で生成される。

第4図は、従来のビデオ信号処理回路の一構成例を示すブロック図である。

このビデオ信号処理回路は、R(レッド)、G(グリーン)、B(ブルー)それぞれのアナログビデオ信号を、第5図に示す液晶の光学特性に合わせ、また交流駆動できる信号に変換する回路である。この回路において、R、G、Bそれぞれのアナログビデオ信号は、アンプ30-1～30-3で増幅した後、位相分割回路31-1～31-3により、正極性のビデオ信号(入力されたビデオ信号と同極性)と、負極性のビデオ信号(入力されたビデオ信号と逆極性)を生成する。フリップフロップ回路(以下、FFという)33は、垂直同期信号の周期で極性が反転する信号を出力切換回路32-1～32-3へ出力する。すると、出力切換回路32-1～32-3は、正または負の極性の選択を行い、一方の極性のビデオ信号VIDEOA、VIDEOB、VIDEOCを出力

する。

ここで、ビデオ信号VIDEOA, VIDEOB, VIDEOCは、その振幅が、第5図に示す液晶の電気光学特性における透過率の立上がる閾値電圧Vthと通過率が飽和する電圧Vsat間の電圧幅ΔVに対応するように、コントラストを調整し、また、ビデオ出力の下端レベルがVthと一致するようにブライタネスを調整する。このようないビデオ信号VIDEOA, VIDEOB, VIDEOCは、第6図の回路に入力される。

第6図は、第2図のXドライバ20の一構成例を示す回路図、第7図は第6図の動作波形図である。

このXドライバ20は、60ビットのダイナミックシフトレジスタ21、レベルシフタ22、60個のスイッチ23、60個のコンデンサ24、60個のバッファ25、及び電流源26で構成されている。なお、COMは共通端子、H060は端子、OEは出力イネーブル信号、STHは水平走査スタートパルス、CPHは水平シフトクロック

ク、TSTはテスト信号、Vb, VBB1~VB B3、VDD、VSSは電圧、VS1~VS60はデータ信号である。

このXドライバ20において、60ビットのダイナミックシフトレジスタ21のオン出力は、水平走査スタートパルスSTH入力後、水平シフトクロックにより順次シフトされていく。シフトレジスタ22の出力は、レベルシフタ22を介してスイッチ23に印加され、そのスイッチ23のオン状態が順次走査されていく。サンプルホールド期間において、スイッチ23がオン状態になると、サンプルホールド回路としてのコンデンサ24に、ビデオ信号VIDEOA, VIDEOB, VIDEOCに比例した量の電荷が蓄積（サンプルホールド）される。所定の画素数分のサンプルホールドが終了した後、データ出力期間において、出力イネーブル信号OEが“H”レベルになると、ビデオ信号VIDEOA, VIDEOB, VIDEOCに比例した電圧のデータ信号VS1~VS60がバッファ25から出力される。そのため、サ

ンプルホールド期間とデータ出力期間が、時間的に重ならないようにしなければならない。例えば、1水平周期63.5μsにおいて、20μsの時間、確定データを出力するには、サンプルホールド期間は43.5μs以下となる。1水平周期内でのサンプリングデータ数を640とすると、水平シフトクロックCPHの周波数は640/43.5=14.7MHz以上となる。

このXドライバ20から出力されたデータ信号VS1~VS60は、第2図のデータ電極11~1~11~4…を介して各TFT13のソースに印加される。また、この各TFT13のゲートには、走査電極12~1~12~4…を介して走査信号VG1~VG4…がそれぞれ印加される。

第2図において、走査信号VGがTFT13のゲートに印加されると、そのTFT13のソース・ドレイン間がオン状態となり、そのTFT13を介してデータ信号VSが液晶セル14に印加される。この動作波形図が第8図(a), (b)に示されている。

第8図(a), (b)に示すように、例えばデータ信号VS1がTFT13のソースに印加されると、そのデータ信号VS1の電圧に比例した電荷がある時定数をもって液晶セル14に蓄積されていく。走査信号VGがオフ状態になると、TFT13のソース・ドレイン間が非導通状態となり、その時間までに蓄積された電荷が保持され、その電荷に比例したデータ信号VS1の電圧が液晶セル14に印加される。他の電圧のデータ信号VS2の場合についても、同様である。

第9図は液晶の電気光学特性図であるが、この図に示すように、ビデオ信号電圧と液晶の相対透過率との関係は、比例関係とならず、暗いレベルと明るいレベルで、透過率が飽和してしまう。（発明が解決しようとする課題）

しかしながら、上記の第2図、第4図及び第6図に示すXドライバ20、Yドライバ21及びビデオ信号処理回路で構成される階調表示駆動回路では、次のような課題があった。

(i) 第9図に示すように、ビデオ信号電圧と

液晶の相対透過率との関係、つまり液晶の電気光学特性は、比例関係とならず、暗いレベルと明るいレベルで透過率が飽和してしまい、その暗いレベルと明るいレベルでの階調表現の再現性が不十分で、画像品質が劣化するという問題があった。

(ii) 第7図に示すように、サンプルホールド期間とデータ出力期間とを独立に持たなければならぬ。そのため、第6図のダイナミックシフトレジスタ21において、データをシフトする水平シフトクロックC.P.H.の駆動周波数を大きくする必要がある。ところが、一般に駆動周波数が増すと、消費電力が大きくなるため、階調表示駆動回路の消費電力が大きいという問題があった。従って、技術的に充分満足のゆくものが得られなかつた。

本発明は前記従来技術が持っていた課題として、暗いレベルと明るいレベルでの階調再現性が十分でない点と、高い駆動周波数のために消費電力が大きくなってしまう点について解決したアクティブマトリクス型液晶表示装置の階調表示駆動回路

を提供するものである。

(課題を解決するための手段)

前記課題を解決するために、第1の発明は、走査電極とデータ電極の直交箇所に接続されたアクティブ素子及び液晶セルがマトリクス状に配置された液晶パネルに対して、前記走査電極に走査信号を供給すると共に、前記データ電極に所定バルス幅のデータ信号を供給して、前記液晶パネルの階調表示駆動を行うアクティブマトリクス型液晶表示装置の階調表示駆動回路において、アナログビデオ信号をデジタルビデオ信号に変換して出力するアナログ/デジタル変換回路（以下、A/D変換回路という）と、前記ディジタルビデオ信号をシフトしてラッчиし、階調制御用クロック信号に基づきバルス幅変調し、前記走査信号の活性化期間と一致した活性化期間を有するバルス幅のデータ信号を生成して前記データ電極へ供給するバルス幅変調ドライバとを、設けたものである。

第2の発明は、第1の発明のバルス幅変調ドライバを、前記ディジタルビデオ信号をシフトして

ラッчиし、階調制御用クロック信号に基づきバルス幅変調し、前記走査信号の非活性化期間と一致した非活性化期間を有するバルス幅のデータ信号を生成して前記データ電極へ供給する構成にしたものである。

第3の発明は、第1または第2の発明において、一定周期のクロックバルスにより計数動作して複数の分周バルスを出力するカウンタと、前記カウンタの出力バルスで指定されたアドレスの記憶データを出力するメモリとで、前記バルス幅変調ドライバに入力する階調制御用クロック信号を生成する構成にしたものである。

第4の発明は、第3の発明において、前記液晶セルの透過率とビデオ信号とがほぼ比例関係となるように各階調レベル毎の前記階調制御用クロック信号のバルス幅を設定したデータを、予め前記メモリに格納したものである。

(作用)

第1の発明によれば、以上のように階調表示駆動回路を構成したので、A/D変換回路はアナロ

グビデオ信号をデジタルビデオ信号に変換し、そのディジタルビデオ信号をバルス幅変調ドライバに与える。バルス幅変調ドライバは、走査信号の活性化期間と一致するタイミングで、データ信号を活性化させ、そのデータ信号を、アクティブ素子を介して液晶セルに供給し、再現性の良い階調表示を行わせる。また、バルス幅変調ドライバは、そのラッチ機能により、データ出力期間中ににおけるデータシフトを行って駆動周波数を低減させる働きがある。

第2の発明におけるバルス幅変調ドライバは、走査信号の非活性化期間と一致するタイミングで、データ信号を非活性化し、そのデータ信号を、アクティブ素子を介して液晶セルに供給することにより、第1の発明とほぼ同様の働きをする。

第3図、第4図の発明では、階調制御用クロック信号のバルス幅により、階調レベルを変えて再現性の向上が図れる。

従って、前記課題を解決できるのである。

(実施例)

第1図は本発明の実施例を示すアクティブマトリクス型液晶表示装置における階調表示駆動回路の要部の構成ブロック図である。

本実施例において、アクティブマトリクス型液晶表示装置の基本構成は、従来の第2図のものと同一である。本実施例では特に、第2図のXドライバ20に代えて、第1図のA/D変換部40、クロック生成回路50及びパルス幅変調ドライバ60を設け、その第1図の回路と第2図のYドライバ21とで、階調表示駆動回路を構成している。A/D変換部40の構成ブロック図が第10図に、クロック生成回路50の構成ブロック図が第11図に示されている。

第10図のA/D変換部40は、R、G、Bのアナログビデオ信号を奇数の4ビットデジタルビデオ信号OD0～OD3と偶数の4ビットデジタルビデオ信号ED0～ED3に変換する回路である。このA/D変換部40は、アンド41-1～41-3、出力切換回路42及びA/D変換回路43-1、43-2で構成され、そのA/D

変換回路43-1、43-2の出力側が第1図のパルス幅変調ドライバ60に接続されている。

第11図のクロック生成回路50は、階調制御用クロック信号CPGを生成する回路であり、クロック発生回路51を有し、そのクロック発生回路51の出力とリセット信号RTがバイナリアップカウンタ52-1に接続されている。バイナリアップカウンタ52-1の出力とリセット信号RTがバイナリアップカウンタ52-2に接続され、そのバイナリアップカウンタ52-2の出力メモリ53に接続されている。メモリ53の出力は、信号選択用のマルチプレクサ54を介してバッファ55に接続されている。マルチプレクサ54の制御信号端子A、B、Cには、抵抗器56及びスイッチ回路57が接続されている。バッファ55から出力される階調制御用クロック信号CPGは、第1図のパルス幅変調ドライバ60に供給される。

第1図のパルス幅変調ドライバ60は、ディジタルビデオ信号ED0～ED3、OD0～OD3

に応じたパルス幅の80ビットデータ信号VS1～VS80を第2図のデータ電極11-1～11-4へ出力する回路である。

このパルス幅変調ドライバ60は、水平走査スタートパルスSTAにより動作を開始して水平シフトロックCPによりデジタルビデオ信号ED0～ED3、OD0～OD3を読み込む2個の4ビット×40のシフトレジスタ61、62を有し、そのシフトレジスタ61、62の出力側に、80ビット×4のラッチ回路63、階調制御部64、80ビットのレベルシフタ65、及び80個の4レベルドライバ66が接続されている。ラッチ回路63は、ロード信号LOADにより、シフトレジスタ61、62の出力をラッチする回路である。

階調制御部64は、ラッチ回路63の4ビット出力データ(16進数で0～F)及び階調制御用クロック信号CPGにより決定されるパルス幅の階調信号S64を出力する回路であり、カウンタ及びゲート回路等で構成されている。レベルシフ

タ65は、切換信号DFにより、階調信号S64のレベルをシフトする機能を有している。ドライバ66は、4レベルの電圧V1、V3、V4、VEEに基づき、レベルシフタ65の出力を駆動して80ビットのデータ信号VS1～VS80を出力する回路である。

なお、第1図のVDDは電源電圧、VSSは接地電位、ENDは次段接続用の端子である。

以上のように構成される階調表示駆動回路の動作を説明する。

第12図は、第2図のYドライバ21の出力である走査信号VG(=VG1、VG2、…、VGn)と、第1図のパルス幅変調ドライバ60の出力であるデータ信号VS(=VS1、VS2、…、VS80)とのタイミングチャートである。走査信号VGは、1垂直周期毎に繰返される信号で、その活性化状態(オン状態)は第2図の走査電極12-1→12-2→12-3→…と順次走査されていく。走査信号VGのオン状態のタイミングに合わせて、データ信号VSがデータ電極11-

1～11～4…に印加される。このようなデータ信号V Sは、次のようにして生成される。

第1図及び第10図のA/D変換部40において、R, G, Bそれぞれのアナログビデオ信号は、第10図のアンプ41-1～41-3で増幅され、出力切換回路42で、例えば出力端子out1からRビデオ信号を、また出力端子out2からはGビデオ信号をそれぞれ出力する。R, Gビデオ信号出力後は、B, Rビデオ信号→G, Bビデオ信号→R, Gビデオ信号…と順に出力されていく。出力端子out1, out2から出力されたビデオ信号は、各A/D変換回路43-1, 43-2でそれぞれ4ビットの奇数ディジタルビデオ信号OD0～OD3及び偶数ディジタルビデオ信号ED0～ED3に変換される。この時、A/D変換回路43-1, 43-2に入力されるビデオ信号は、そのA/D変換回路43-1, 43-2のダイナミックレンジの範囲内に入るよう、アンプ41-1～41-3で調整されている。

このようにして得られた2つの4ビットディジ

タルビデオ信号OD0～OD3, ED0～ED3を第1のパルス幅変調ドライバ60中のシフトレジスタ61, 62へ入力すると、パルス幅変調ドライバ60は第13図に示す動作波形図のような動作を行う。

即ち、シフトレジスタ61, 62は、水平走査スタートパルスSTAにより動作を開始し、水平シフトクロックCPに従って、2つの4ビットデジタルビデオ信号ED0～ED3, OD0～OD3をシフトしていく。4ビットディジタルビデオ信号ED0～ED3, OD0～OD3のシフトが完了すると、ロード信号LOADにより、シフトレジスタ61, 62内に格納された表示データがラッチ回路63にラッチされる。ラッチされた4ビットディジタルビデオ信号は、階調制御部64に入力される。階調制御部64は、入力された4ビットデータ(16進数で0～F)及び階調制御用クロック信号CPGにより決定されるパルス幅の階調信号S64をレベルシフタ65へ出力する。

ここで、階調制御用クロック信号CPGは、第11図のクロック生成回路50で作られる。

即ち、第11図のクロック発生回路51から出力されたクロックパルスは、バイナリアップカウンタ52-1に入力される。バイナリアップカウンタ52-1と52-2は継続接続され、さらにそれらのバイナリアップカウンタ52-1, 52-2のリセット端子Rには、ロード信号LOADの極性を反転したリセット信号RTが入力される。バイナリアップカウンタ52-1, 52-2は、リセット信号RTを基準としてクロック発生回路51からのクロックによりカウントアップし、出力端子A, B, C, Dから、複数の分周パルスをメモリ53のアドレス入力端子A0～A7へ出力する。メモリ53は、アドレス入力端子A0～A7に入力された指定アドレスに対応して、記憶データを出力端子Q1～Q8から出力する。その各出力は、リセット信号RTの1周期内で、14個のパルスで構成される信号となるように、メモリ53の記憶データを設定する。

メモリ53の出力端子Q1～Q8からの出力は、マルチプレクサ54の入力端子X1～X8に入力される。一方、マルチプレクサ54における制御端子A, B, Cの入力信号は、スイッチ57で決定される。スイッチ57を閉じると、制御端子A, B, Cは接地されて“L”レベルとなり、スイッチ57を開くと、その制御端子A, B, Cは抵抗器56で電源電圧VCCへ引上げられて“H”レベルとなる。制御端子A, B, Cに入力される信号の状態により、入力端子X1～X8のうち1つが選択され、出力端子Yより出力される。出力端子Yの出力は、バッファ55を介して、階調制御用クロック信号CPGの形で出力され、第1図の階調制御部64へ送られる。

なお、ラッチ回路63に入力されるロード信号LOADは、階調信号出力のリセット信号ともなっている。

次に、第14図を参照しつつ、階調制御部64における階調信号S64のパルス幅の決定について説明する。なお、第14図は第11図の階調タ

イムチャートである。

階調制御部64において、ロード信号LOADにより階調信号S64がリセットされると、その階調信号S64がオン状態となる。例えば、階調制御部64に、16進数表示で“0”的4ビットデータが入力されると、階調信号S64はオフ状態となる。16進数表示で“1”的4ビットデータが入力されると、ロード信号LOADから数えて1パルス目のクロック信号CPGで、階調信号S64がオフ状態となり、次のロード信号LOADで、オン状態となるパルス幅の階調信号S64が送出される。以下同様にして、16進数で“F”まで、4ビットデータに応じたパルス幅の階調信号S64が得られる。このような階調信号S64は、80ビットのレベルシフタ65を介して4レベルのドライバ66に入力され、液晶セル駆動用のデータ信号VS1～VS80に変換されて第2図のデータ電極11-1～11-4へ送られる。

ここで、第1図のパルス幅変調ドライバ60内には、ラッチ回路63が設けられているため、デ

ータ出力期間中に、同時にデータシフトを行うことができる。そのため、1水平周期期間（例えば、63.5μs）すべてをデータシフト時間に当てることができ、駆動周波数を低くして電力消費量を少なくできる。例えば、転送データ数が640とすると、1クロックで8ビット、即ち2データ分を転送できるので、(640÷2)÷63.5=5MHzとなる。

第2図において、Yドライバ21からの走査信号VG1, VG2, …が、走査電極12-1, 12-2…を介してTFT13のゲートにオン状態の電圧を印加する。この時、走査電極12-1, 12-2…と電気的に接続されたTFT13のソース・ドレイン間が導通状態となる。ビデオ信号に応じたパルス幅のパルス幅変調ドライバ60からのデータ信号VS1, VS2, …は、データ電極11-1, 11-2, …を介してTFT13のソースに印加される。走査信号VGとデータ信号VSのタイミングは、第15図に示すタイミングとなっている。

即ち、第1図の階調制御部64により、走査信号VGがオンとなる時間と、データ信号VSがオンとなる時間を一致させている。例えば、走査信号VGのパルス幅がTH、データ信号VSのパルス幅がt1の時、走査信号VGがオンすると同時に、データ信号VSがオンとなるようにしている。このようなタイミングにおいて、走査信号VGがオン状態で、データ信号VSがオン状態となると、第2図の液晶セル14にある蓄積電荷もって電荷が蓄積していく。走査信号VGがオフで、データ信号VSがオフとなると、液晶セル14に蓄積された電荷が放電され始める。従って蓄積電荷量は、時間と共に減少する。その後、走査信号VGがオフとなると、TFT13は非導通状態となり、その時点までに蓄積された電荷が保持され、電荷量に応じた電圧V1が液晶セル14に印加され続ける。データ信号VSのパルス幅がt2の時も、同様にして、そのパルス幅に応じた電圧V2が液晶セル14に印加されることとなる。

パルス幅と液晶の透過率の関係は、第16図の

電気光学特性図のようになっている。従って、第16図の特性からパルス幅を決定することにより、つまり第14図において、クロック信号CPGのパルスの設定を第16図の特性に合うようにクロック生成回路50内のメモリ53にデータを書き込むことで、第17図の電気光学特性図に示すように、ビデオ信号と液晶セル14の透過率とが比例関係になるようにすることができ、再現性に優れた階調表示を得ることができる。

また、クロック生成回路50内のマルチブレクサ54の制御信号をスイッチ57で変え、入力端子X1, X2, …, X8のうち所望の信号を選択したり、あるいはメモリ53のデータを変えることで、所望の階調特性を得ることができる。

次に、本発明の他の実施例を第18図～第20図を参照しつつ説明する。

なお、第18図は第11図の他の階調タイミングチャート、第19図は走査信号とデータ信号のタイミング図、及び第20図は液晶の電気光学特性図である。

第1図の階調制御部64において、階調信号S64の他のパルス幅の決定について説明する。

第18図に示すように、階調制御部64において、ロード信号LOADにより階調信号S64がリセットされると、その階調信号S64は非活性化状態（オフ状態）となる。次に、例えば、階調制御部64に16進数表示で“0”的4ビットデータが入力されると、階調信号S64はオフのままである。16進数表示で“1”的4ビットデータが入力されると、ロード信号LOADから数えて14パルス目のクロック信号CPGで階調信号S64がオンとなり、次のロード信号LOADでオフとなるパルス幅の階調信号S64がが出力される。16進数表示で“2”的4ビットデータが入力されると、13パルス目のクロック信号CPGで階調信号S64がオンとなり、次のロード信号LOADでオフとなるパルス幅の階調信号S64がが出力される。以下同様にして、16進数で“F”まで4ビットデータに応じてパルス幅の階調信号S64が得られる。

このようにして得られた階調制御部64からの階調信号S64は、上記実施例と同様に、80ビットレベルシフタ65を介して4レベルドライバ66に入力され、液晶セル駆動用のデータ信号VS1～VS80に変換して出力される。このデータ信号VS1～VS80は、第2図のデータ電極11-1, 11-2, …を介してTFT13のソースに印加される。TFT13のゲートに印加される走査信号VGと、データ信号VSとのタイミングが第19図に示されている。

第19図に示すように、パルス幅変調ドライバ60は、走査信号VGがオフとなる時間とデータ信号VSがオフとなる時間とを一致させている。例えば、走査信号VGのパルス幅がt2、データ信号VSのパルス幅がt1の時、走査信号VGがオンとなってから、時間(t2-t1)後に、データ信号VSがオフとなるようしている。このようなタイミングにおいて、走査信号VGがオン状態で、データ信号VSがオフ状態の期間(t2-t1)は液晶セル14に電荷が蓄積されない。

走査信号VGがオンで、データ信号VSがオンになると、液晶セル14に電荷が蓄積され始める。蓄積される電荷量は、時間と共に増加する。

その後、走査信号VGがオフになると、TFT13は非導通状態となり、その時点までに蓄積された電荷が保持され、電荷量に応じた電圧V1が液晶セル14に印加され続ける。データ信号VSのパルス幅がt2の時も、同様にして、パルス幅に応じた電圧V2が液晶セル14に印加されることとなる。

パルス幅と液晶の透過率の関係は、第20図のようになっている。従って、上記実施例と同様に、第20図の特性からパルス幅を決定することにより、即ち第18図においてクロック信号CPGのパルスの設定を第20図の特性に合うように、第11図のメモリ53にデータを書き込み、ビデオ信号と液晶セル14の透過率が比例関係になるようになることができ、それによって再現性に優れた階調表示を得ることができる。

なお、本発明は図示の実施例に限定されず、例

えば液晶パネル10のアクティブ素子をTFT13に代えて、他のトランジスタや、あるいは双方向性ダイオード等に置き換え、それに応じてパルス幅変調ドライバ60やYドライバ21等の回路を他の回路構成に変形する等、種々の変形が可能である。

(発明の効果)

以上詳細に説明したように、第1の発明によれば、アクティブ素子がオン状態で、それに印加されるデータ信号が非活性化状態になる時、液晶セルに充電された電荷がある時定数をもって放電するという特性を利用し、パルス幅変調ドライバによって液晶セルに印加するデータ信号のレベルを制御して階調表示を行なうようにしたので、次のような効果が得られる。

(a) 液晶セルの電気光学特性に影響されない優れた階調表示の再現性が得られる。

(b) パルス幅変調ドライバは、ラッチ機能により、データ信号出力期間中に同時にデータシフトできるので、低駆動周波数で駆動でき、電力消

背景の低減化が図れる。

第2の発明によれば、アクティベータ素子が導通状態となってから、液晶セルに印加されるデータ信号の電圧レベルが飽和するまでに要する時間を利用し、パルス幅変調ドライバによって液晶セルに印加するデータ信号のレベルを制御して階調表示を行うようにしたので、前記(a)、(b)と同様の効果が得られる。

第3および第4の発明では、メモリのデータの設定により、再現性に優れた所望の階調特性を得ることができる。

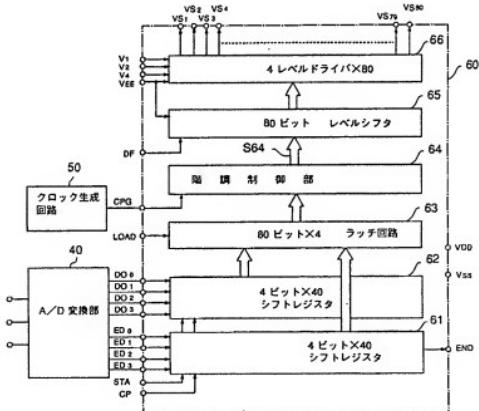
4. 図面の簡単な説明

第1図は本発明の実施例を示す階調表示駆動回路の要部の構成ブロック図、第2図は従来のアクティビマトリクス型液晶表示装置の基本構成図、第3図は第2図のタイミングチャート、第4図は従来のビデオ信号処理回路の構成ブロック図、第5図、第9図、第16図、第17図及び第20図は液晶の電気光学特性図、第6図は第2図のXドライバの構成図、第7図は第6図の動作波形図、
タ電極、1 2-1～1 2-4…走査電極、1 3…TFT、1 4…液晶セル、2 0…Xドライバ、2 1…Yドライバ、4 0…A/D変換部、4 3-1…4 3-2…A/D変換回路、5 0…クロック生成回路、5 3…メモリ、6 0…パルス幅変調ドライバ、6 1、6 2…シフトレジスタ、6 3…ラッチ回路、6 4…階調制御部、6 5…レベルシフタ、6 6…ドライバ。

第8図(a), (b)は第2図の動作波形図、第10図は第1図のA/D変換部の構成ブロック図、第11図は第1図のクロック生成回路の構成ブロック図、第12図は本実施例の走査信号とデータ信号のタイミングチャート、第13図は第1図の動作波形図、第14図は第11の階調タイムチャート、第15図は本発明の実施例の走査信号とデータ信号のタイミング図、第18図は第11図の他の階調タイムチャート、第19図は本発明の他の実施例の走査信号とデータ信号のタイミング図である。

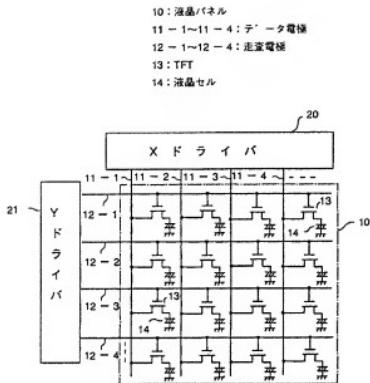
10…液晶パネル、11-1～11-4…データ電極、12-1～12-4…走査電極、13… TFT、1,4…液晶セル、20…Xドライバ、21…Yドライバ、40…A/D変換部、43-1…43-2…A/D変換回路、50…クロック生成回路、53…メモリ、60…パルス幅変調ドライバ、61、62…シフトレジスタ、63…ラッチ回路、64…階調制御部、65…レベルシフタ、66…ドライバ。

6.0: バルス幅変調ドライバ



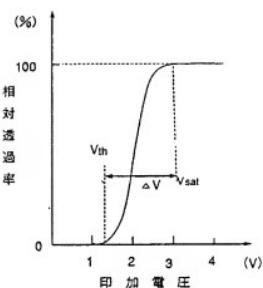
本発明の高周側の駆動表示駆動回路の要領

第1回



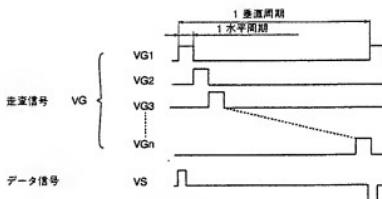
従来のアクティブライクス型液晶表示装置

第2図



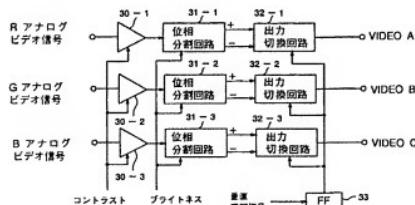
液晶の電気光学特性

第5図



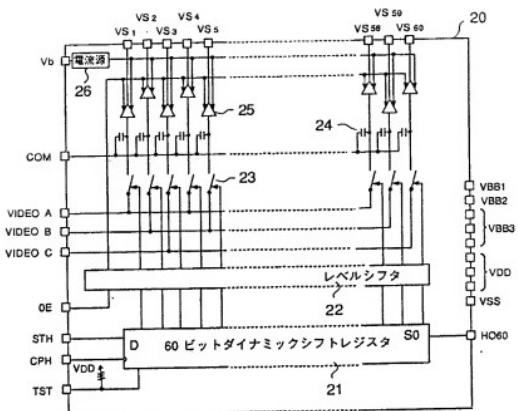
第2図のタイミングチャート

第3図



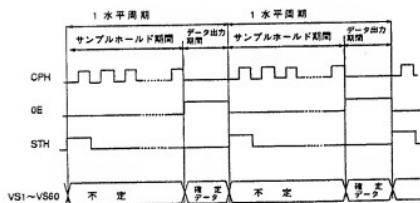
従来のビデオ信号処理回路

第4図



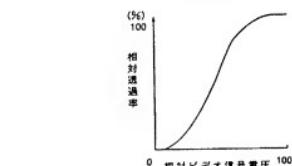
第2回のXドライバ

第6図



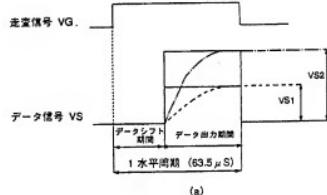
第6回の動作波形図

第7図

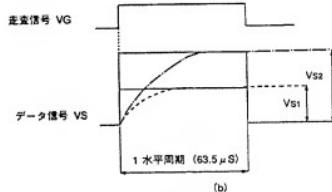


液晶の電気光学特性

第9図



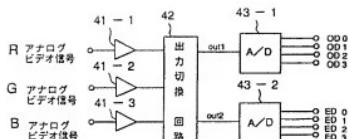
(a)



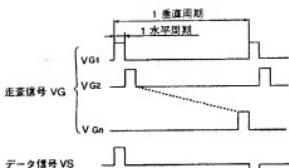
(b)

第2回の動作波形図

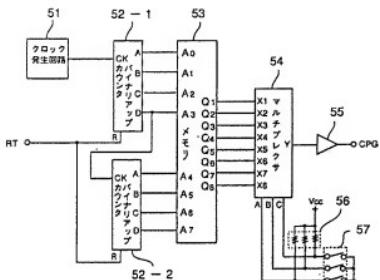
第8図



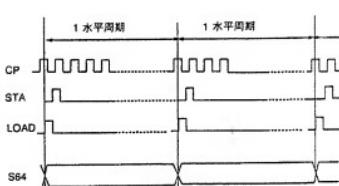
第 1 図の A/D 変換部



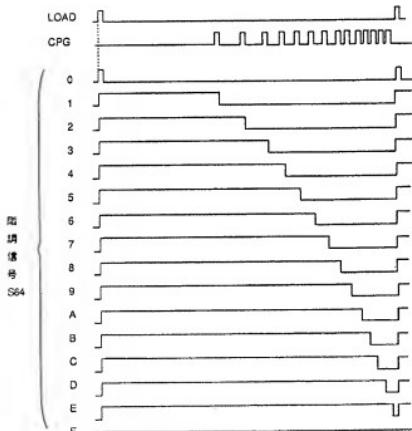
第 12 図



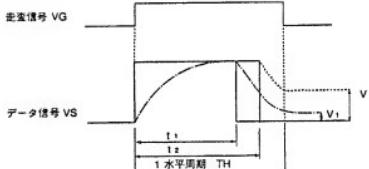
第 11 図



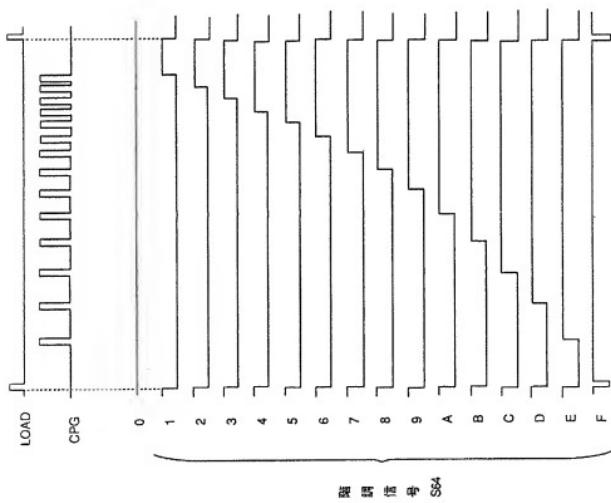
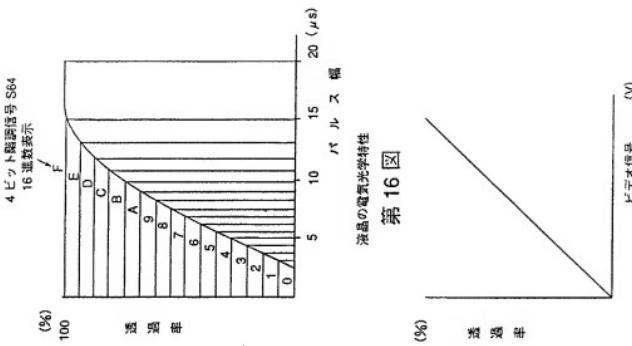
第 13 図



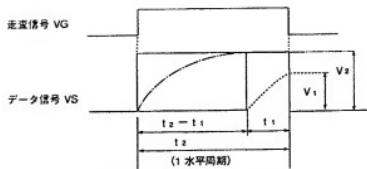
第 14 図



第 15 図

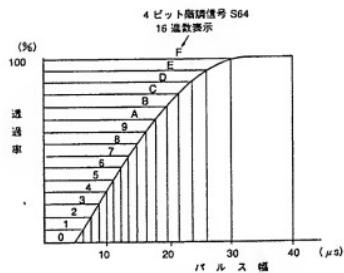


第11図の他の階調タイミングチャート
第18図



他の実施例の走査信号とデータ信号のタイミング

第 19 図



第 20 図